

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-284893

(43)Date of publication of application : 16.11.1989

(51)Int.CI.

G09G 3/20

(21)Application number : 63-115561

(71)Applicant : SHARP CORP

(22)Date of filing : 12.05.1988

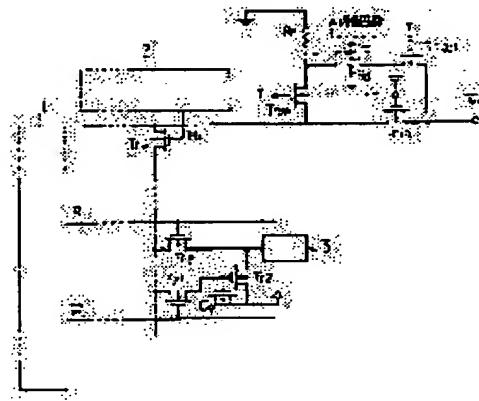
(72)Inventor : HISAOKA AKIJI
FUJII KATSUMASA

(54) DOT MATRIX SYSTEM DISPLAY DEVICE

(57)Abstract:

PURPOSE: To select a high definition display device by amplifying outputted results in case of reading out a test signal through an amplification circuit and discriminating the delicate difference of display luminance every picture element.

CONSTITUTION: An invertor is constituted of a display body driving transistor Tr2, a readout Tr3, a column selection Tr4, a test signal output control Trsw and a load resistance Re. At such a time, the potential of the terminal T' of the invertor is determined according to the signals accumulated in a driving voltage accumulation capacity Cv if the circuit is normal. When the potential of the terminal T', determined thus, is inputted in the amplification circuit A, the potential of the terminal T' is a little lowered by the amount of the threshold voltage of a Trd and transmitted to a terminal Vv to be read by a tester T. Since the threshold voltage of the Trd can be controlled, the potential of the terminal T', that means, the potential of the accumulation capacity Cv, can be accurately read out if the Tr2, Tr3 and Tr4 accurately act.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

a [Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

②公開特許公報(A) 平1-284893

⑤Int.Cl.

G 09 G 3/20

識別記号

庁内整理番号

7335-5C

⑥公開 平成1年(1989)11月16日

審査請求 未請求 請求項の数 1 (全4頁)

⑦発明の名称 ドット・マトリックス方式表示装置

⑧特 願 昭63-115561

⑨出 願 昭63(1988)5月12日

⑩発明者 久岡 明次 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑪発明者 藤井 克正 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑫出願人 シャープ株式会社

⑬代理人 弁理士 杉山 繁至 外1名

明細書

1. 発明の名称

ドット・マトリックス方式表示装置

2. 特許請求の範囲

1. 単位画素をマトリックス状に配列し、各画素毎に、表示体を駆動する駆動トランジスタと、駆動のための映像信号を供給する書き込みトランジスタと、駆動トランジスタの出力レベルを外部へ引き出すための読み出しトランジスタとを有し、各画素毎の画素を構成する回路のテストを電気的に行えるようにしたドット・マトリックス方式表示装置であって、特にLSI上に蛍光体を付着して発光表示させる蛍光画像表示管において、前記回路の画素部分は微少電流で駆動しており、テスト信号読み出しの際、出力結果を電流増幅し、各画素毎の表示輝度の微妙な差を判別することが可能な構成となったことを特徴とするドット・マトリックス方式表示装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、ドット・マトリックス状に配設した単位画素毎に、表示体駆動トランジスタ、書き込みトランジスタおよび読み出しトランジスタを備えたテスト可能なドット・マトリックス方式表示装置の内、特にLSI上に蛍光体を付着して発光表示させる蛍光画像表示管に関するものである。

<従来の技術>

従来、ドット・マトリックス方式の表示装置のうち各単位画素毎に表示体駆動トランジスタを有する表示装置において、各画素の良、不良を判断する手段としては、表示装置を作製して実際に表示を行なって判断する方法によっていたが、特開昭57-99688号公報に記載の技術における読み出しトランジスタを各画素毎に設ける手段により電気的なテストが可能となった。しかしながら、この方法によると、各画素に駆動トランジスタの“開”又は“閉”に対応するデータを書き込み、次に駆動トランジスタの状態を検知するために読み出しトランジスタを通じて外部の判定回路

(2)

を駆動する時、外部との接続線の容量や抵抗等の負荷が大きく、1画素当たりの判定に時間を要するという欠点がある。

そこで、本願と同一出願人は、前記欠点を解消したドット・マトリックス方式表示装置を発明し、昭和60年7月5日付けで既に出版している(特開昭60-148898、特開昭62-9393)。この表示装置を第3図により簡単に説明すると、ドット・マトリックス状に配設された表示素子3が垂直走査回路1および水平走査回路2によって駆動されるものにおいて、各表示素子3毎に、書き込みトランジスタTr1、表示体駆動トランジスタTr2、読み出しトランジスタTr3および入力信号蓄積容量Cvが設けられ、列選択トランジスタTr4により選択される。ある画素をテストする場合、今仮に例示した第1列第1行の画素をテストする場合について考えると、各トランジスタTr2、Tr3、Tr4、制御トランジスタTrsw、および負荷電素子Reによりインバータが形成される。この時、回路が正常であれば、蓄積

によるテストでは、画質品位が高いか低いかの判定ができなかった。

<課題を解決するための手段>

本発明は前記従来の問題点に鑑み、これを解消するためになされたもので、ドット・マトリックス方式表示装置、特に、蛍光画像表示管において、各表示画素毎の良、不良を判定するものであって、読み出しの際の出力結果を増幅回路に通して出力結果を増幅し、各画素毎の表示輝度の微妙な差を判別することが可能な構成としたことを要旨とするものである。

<実施例>

以下、本発明の一実施例を詳説する。

第1図において、第3図と同一若しくは同等のものには、同一の符号が付してあり、第3図においてインバータからなる判定回路Invを、第1図においてはトランジスタTrdと抵抗Rdからなる増幅回路Aに置換した点において相違している。

第1図に示す、本発明の実施例装置の動作につ

いて、容量Cvに蓄積された信号に応じてインバータの端子Tr'の電位が決まる。こうして決定された端子Tr'の電位の高、低をインバータから成る判定回路Invで判定し、その結果を出力制御トランジスタTroutを通して出力する。この時、判定回路Invの回路の設計において充分に外部を駆動できるよう定数を決定する事で、外に接続される負荷の駆動を容易にする事ができ、テストが高速化されるものである。

<発明が解決しようとする課題>

前記表示装置は、単位画素の良、不良の判定を高速化できる顯著な効果を奏するものであるが、僅かに問題が残る。即ち、前記装置では、各画素を構成するトランジスタの短絡や断線の判断は可能であるが、判定回路Invの“良”及び“不良”的判定レベルが常に一定であって変更不可能であるため、各トランジスタの駆動能力の差、即ち各画素毎の表示の輝度の微妙な差を検出するのが困難である。特に蛍光画像表示管においては輝度の微妙な差が画質を悪くする。従って、前述の装置

にて説明する。

先ず、第1列第1行の画素をテストする場合を考える。

入力制御トランジスタTrin、列選択用トランジスタTr4、書き込みトランジスタTr1をオンにすることにより、Vv端子より入力された信号が、蓄積容量Cvに蓄積される。Cvに蓄積された信号は、表示体駆動トランジスタTr2を制御して表示体3の輝度をコントロールする。この際、出力制御トランジスタTrout、負荷制御トランジスタTrsw、読み出しトランジスタTr3はオフにしておく。ここまで動作でテスト信号の表示体への書き込みを行う。

次に、入力制御トランジスタTrin、書き込みトランジスタTr1をオフにし、出力制御トランジスタTrout、負荷制御トランジスタTrsw、読み出しトランジスタTr3をオンすると、第2図に示すような等価回路を形成する。テスト信号読み出しの際の動作については、この第2図を用いて説明する。

$T_{r2}, T_{r3}, T_{r4}, Tr$ および R_e によりインバータを形成し、蓄積容量 C_V に蓄えられたテスト信号の電位と、 T_{r2}, T_{r3}, T_{r4} の良・不良に応じて、端子 T' の電位が定まる。この点の電位を増幅回路 A に入力すると、 T' の電位は Trd のしきい値電圧 (FET の電流が流れ始める電圧) の分若干低下して V_V 端子に伝えられ、テスター T で読み取られる。 Trd のしきい値電圧は、制御可能であるため、 T_{r2}, T_{r3}, T_{r4} が正しく動作していれば、 T' の電位、即ち C_V の電位は正確に読み出せる。

<発明の効果>

本発明の増幅回路を内蔵した目的は、電位の伝達を主とするものではなく、特に蛍光画像表示管の画素部分の駆動電流が微少であるため、テスターの影響を及ぼさず、本発明によれば、蓄積容量 C_V の内部抵抗 R_t へ流れることが Rt の内部抵抗 R_t へ流れる 것을防ぐことを主としている。この動作は、第 3 図における I_{av} 回路でも可能であるが、本発明によれば、画素部分のトランジスタの駆動能力の差やばらつきを検出することができ、高品位の表示装置の選別を行なうこと

(3)
とが可能となる。

4. 図面の簡単な説明

第 1 図は本発明のドット・マトリックス方式表示装置の一実施例の構成図、第 2 図は本発明のテスト実行時の等価回路図、第 3 図は従来装置の構成図である。

符号の説明

- 1 : 垂直走査回路
- 2 : 水平走査回路
- T_{r1} : 書き込みトランジスタ
- T_{r2} : 表示体駆動トランジスタ
- T_{r3} : 読み出しトランジスタ
- 3 : 表示素子
- T_{r4} : 列選択トランジスタ
- C_V : 駆動電圧蓄積容量
- R_e : 負荷抵抗
- A : 増幅回路
- Trd : 増幅回路トランジスタ
- R_d : 増幅回路抵抗
- $Trin$: 映像信号入力制御トランジスタ

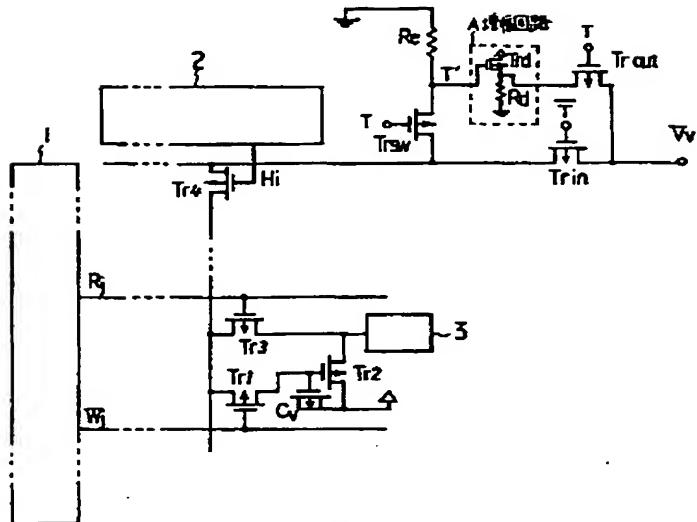
$Trout$: テスト信号出力制御トランジスタ

$Trsw$: テスト信号出力制御トランジスタ

T : テスター

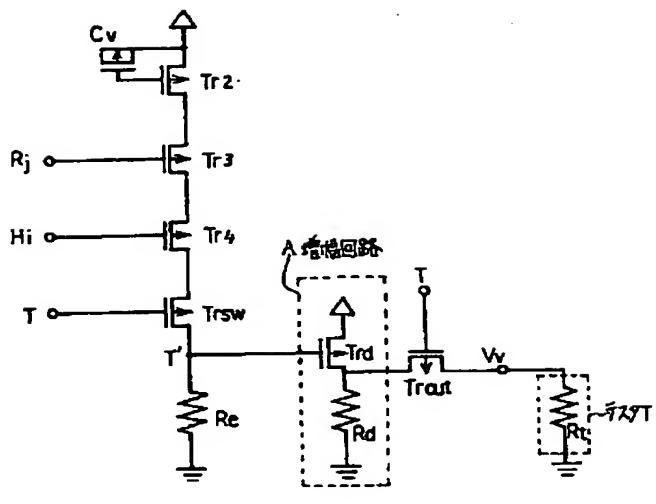
R_t : テスター内部抵抗。

代理人 弁理士 杉山毅至(他1名)

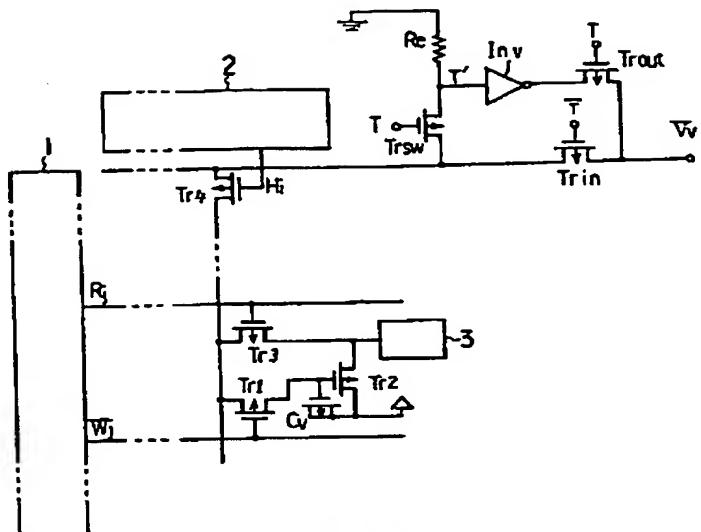


第 1 図

(4)



三 2 頁



第三四